

SIMULÁCIA A SYNTÉZA NÁVRHOV PRE PROGRAMOVATEĽNÉ LOGICKÉ OBVODY

Na jednoduchom príklade čítača ukážeme základný postup pri vývoji aplikácií pre programovateľné logické obvody. Pre simuláciu a syntézu budú použité programy z balíka FPGA Advantage od firmy Mentor Graphics a program Quartus od spoločnosti Altera. Cieľom cvičenia je osvojiť si operácie bežne vykonávané počas simulácie a syntézy aplikácií.

1. Jazyk VHDL

Na popis návrhu je použitý jazyk VHDL. Ide o široko používaný programovací jazyk na popis hardvéru. Nie je cieľom naučiť sa syntax a použitie všetkých príkazov jazyka, preto budú podrobnejšie vysvetlené len základné bloky a vlastnosti jazyka.

Prvú časť kódu VHDL tvoria definície knižníc. Medzi základné a najčastejšie používané knižnice patria knižnice:

```
ieee.std_logic_1164.ALL;  
ieee.std_logic_arith.ALL;  
ieee.std_logic_unsigned.ALL;
```

Nasleduje definícia *entity* – pre lepšiu predstavu možno použiť analógiu z klasických „fyzických“ súčiastok, keď entitou nazveme takúto súčiastku a v jej definícii uvádzame aké má vstupné a výstupné *porty* – vývody, prípadne možno navyše uviesť parametre ako v našom prípade veľkosť kroku čítača – STEP.

V definícii tak máme:

```
clk    : IN STD_LOGIC;
```

Kde *clk* je názov portu, *IN* udáva, že ide o vstupný port a *STD_LOGIC* udáva typ portu.

V architektúre entity je popísané správanie popísaného obvodu. V prvej časti sú deklarované signály a typy signálov. V druhej časti pomocou tzv. procesov môžeme popísať činnosť obvodu. Treba si uvedomiť, že jednotlivé procesy sa realizujú paralelne, teda nezáleží na poradí procesov.

Uvedený čítač sa po zrealizovaní resetu – *reset* signál aktívny počas jednej periódy hodín, zicializuje a očakáva aktívny signál *start*. Následne inkrementuje a dekrementuje výstupný signál, po čom sa opäť dostáva do čakacieho stavu, keď môže prísť ďalší signál *start*. Jednotlivé stavy čítača sú riadené počas konečného automatu. Jednoduchou zmenou hodnoty kroku čítača v definícii entity, dosiahneme zmenu správania návrhu.

2. Simulácia

Na simuláciu použijeme už spomínaný program ModelSim z balíka FPGA Advantage. Tento simulačný nástroj je štandardom pre simuláciu návrhov popísaných jazykom VHDL a Verilog.

Najprv si ukážeme spôsob ako urobiť funkčnú simuláciu, teda simuláciu, ktorá je používaná počas vývoja aplikácie pre overenie funkčnosti a správnosti výstupov návrhu.

Spustíme program ModelSim a vytvoríme nový projekt s názvom *example*. Do adresára s týmto projektom skopírujeme pripravené súbory a vrátime sa späť do programu ModelSim. Pred samotnou simuláciou je nutné po každej zmene zdrojových súborov celý projekt skompilovať. Pri projektoch s viacerými súbormi je potrebné ich usporiadať podľa poradia, pričom ako posledný sa má skompilovať najvrchnejší súbor v hierarchii, alebo postupovať jednoduchším spôsobom a skompilovať projekt dvakrát za sebou. Ak projekt neobsahuje žiadne chyby, v záložke *Library* sa v knižnici *work* objavia všetky entity projektu.

Dvakrát klikneme na entitu *example*, čo vyvolá spustenie simulačného módu. Otvoríme si všetky okná programu ModelSim - do príkazového riadku zadáme:

```
view *
```

V okne *signals* sa objavia všetky signály simulovanej entity. Označíme ich a presunieme do okna *wave*. Všetky zvolené signály sa budú simulovať, budeme vidieť grafický priebeh logických hodnôt v závislosti od času. Samotná simulácia sa spúšťa príkazom *run*. Teda môžeme napísať

```
run 1000
```

Hodnota *1000* je časový údaj o dĺžke simulácie v základných jednotkách, v našom prípade v nanosekundách.

Pre nastavenie hodinového signálu *clk* ho označíme v okne *signals* a v menu vyberieme Edit --> Clock. Pre ostatné signály používame Edit -> Force, čím vnútime určitú hodnotu pre daný signál. Všimnime si, že všetky operácie realizované pomocou menu sú vykonávané v príkazovom riadku pomocou príkazov programu ModelSim. Tieto môžeme uložiť do tzv. dávkovacieho súboru s koncovkou *.do* a následne spúšťať pomocou príkazu *do*. Vyskúšať si to môžeme zadaním

```
do do.do
```

3. Syntéza

Syntéza obvodu je potrebná pre implementáciu do cieľovej súčiatky. Použijeme často používaný program LeonardoSpectrum. Ten ponúka po spustení 3 rôzne úrovne. Tie je možné voliť podľa toho, aký skúsený je užívateľ a aké cieľové obvody chceme použiť. Zvolíme level 1 a z menu vyberieme obvody od firmy Altera.

Po otvorení základného okna si v hornej lište ikon zvolíme *Quick Setup*. Ide o najjednoduchší spôsob ako vykonať syntézu a plne postačuje pre naše účely. V časti *Technology* zvolíme typ obvodu, ktorý do ktorého chceme návrh implementovať. V časti *Input* zvolíme pracovný adresár a otvoríme zdrojový súbor *example.vhd*. Pre spustenie procedúry *Place and Route* je potrebné zaškrtnúť *Run Integrated Place and Route*.

Po skončení simulácie získame informácie o počte vstupných a výstupných vývodov, počte obsadených Logických elementov (LE) a o maximálnej možnej taktovacej frekvencii.