

FPGA obvody

Pavol Galajda, KEMT, FEI, TUKE
Pavol.Galajda@tuke.sk

5 Architektúry a typy číslicových obvodov FPGA

- 5.1 Xilinx XC 4000
- 5.2 Altera FLEX 10K
- 5.3 Altera Cyclone

6 Metodika návrhu PLD

- 6.1 Činnosť pred započatím návrhu
- 6.2 Rozdelenie CAD nástrojov
- 6.3 Modely pre metódy návrhu systémov
 - metodika návrhu systémov
 - metóda „vodopád“
 - metóda „špirála“
- 6.4 Etapy návrhu číslicových systémov s obvodymi FPD

6 Metodika návrhu PLD

Návrh IO je viac úrovňový

- *hierarchický* (stanovená stupňovitá sústava v ktorej je určené s akými údajmi, veličinami a hodnotami v určitom štádiu návrhu pracujeme)
- *iteračný proces* (opakovanú realizáciu jednej, alebo viacej návrhových činností- spresňovanie, ale i opravy a zmeny)

6.1 Činnosť pred započatím návrhu

Návrh IO je veľmi zložitý proces. Mnoho vecí musí návrhár posudzovať ešte predtým, ako sa začne zaoberať funkčným opisom.

Rozhodnutia uskutočnené ešte pred začiatkom návrhu, ovplyvnia do značnej miery nasledujúcu prácu návrhára a zásadným spôsobom predurčí úspešnosť finálneho výrobku.

Ak chceme elektronický systém vytvoriť vo forme IO, musíme najprv určiť či použijeme štandardné IO, mikroprocesor alebo ASIC.

6.1 Činnosť pred započatím návrhu

V prípade, že bolo vybrané riešenie pomocou ASIC bude nasledovať:

- výber technológie (MOS, bipolárna, prípadne BiCMOS),
- voľba výrobcu,
- voľba typu ASIC (PLD, FPLD, hradlové polia, štandardné bunky, alebo plne zákaznicky obvod),
- stanovenie návrhových prostriedkov (CAD).

Určujúce pre tieto rozhodnutia sú hlavne požadované funkčné vlastnosti, formy spracovania signálov, počet vstupov a výstupov, napájacie napätie, rozsah pracovných teplôt, tiež hlavne cena výsledného IO.

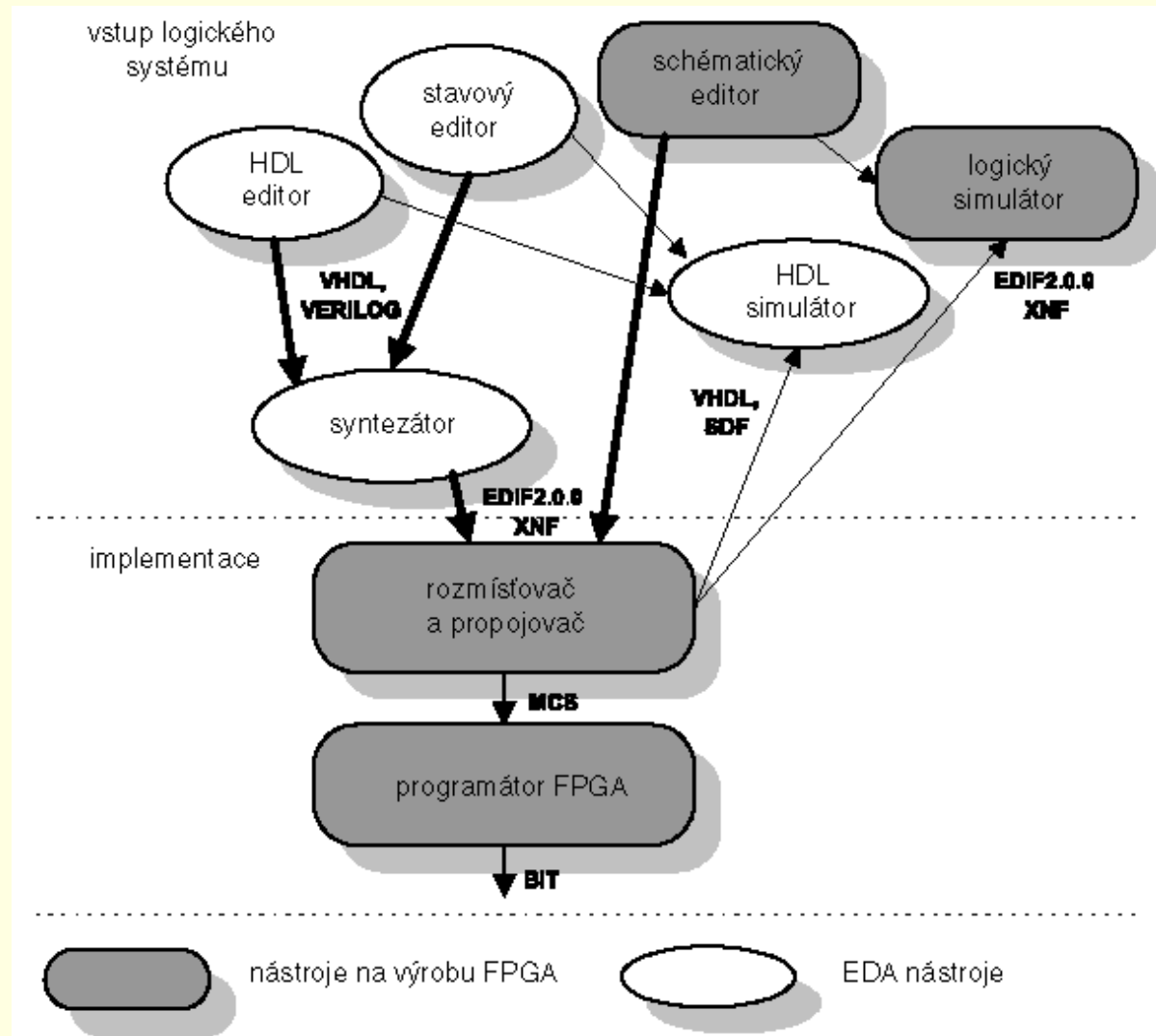
6.2 Rozdelenie CAD nástrojov

Obrázok ukazuje jak použitie, tak i rozdelenie prostriedkov CAD.

• postupná náhrada schematického vstupu normalizovanými jazykmi pre opis logických systémov (HDL- Hardware Description Language) .

- VHDL
- Verilog

• používanie nástrojov EDA (Electronics Design Automation)



6.3 Metodika návrhu systémov

Špecifikácia – definovanie logických funkcií, ktoré má navrhovaný číslicový systém realizovať.

Realizácia – táto fáza sa často označuje ako fáza kompilácie a obvykle predchádza funkčnej simulácii návrhu. Jej cieľom je verifikácia návrhu pred vlastným naprogramovaním (konfiguráciou) obvodu.

Verifikácia – testovanie, či naprogramovaný obvod pracuje presne podľa počiatocnej špecifikácie návrhu.

Typický vývojový cyklus pri návrhu- vývojový proces požadovaného produktu

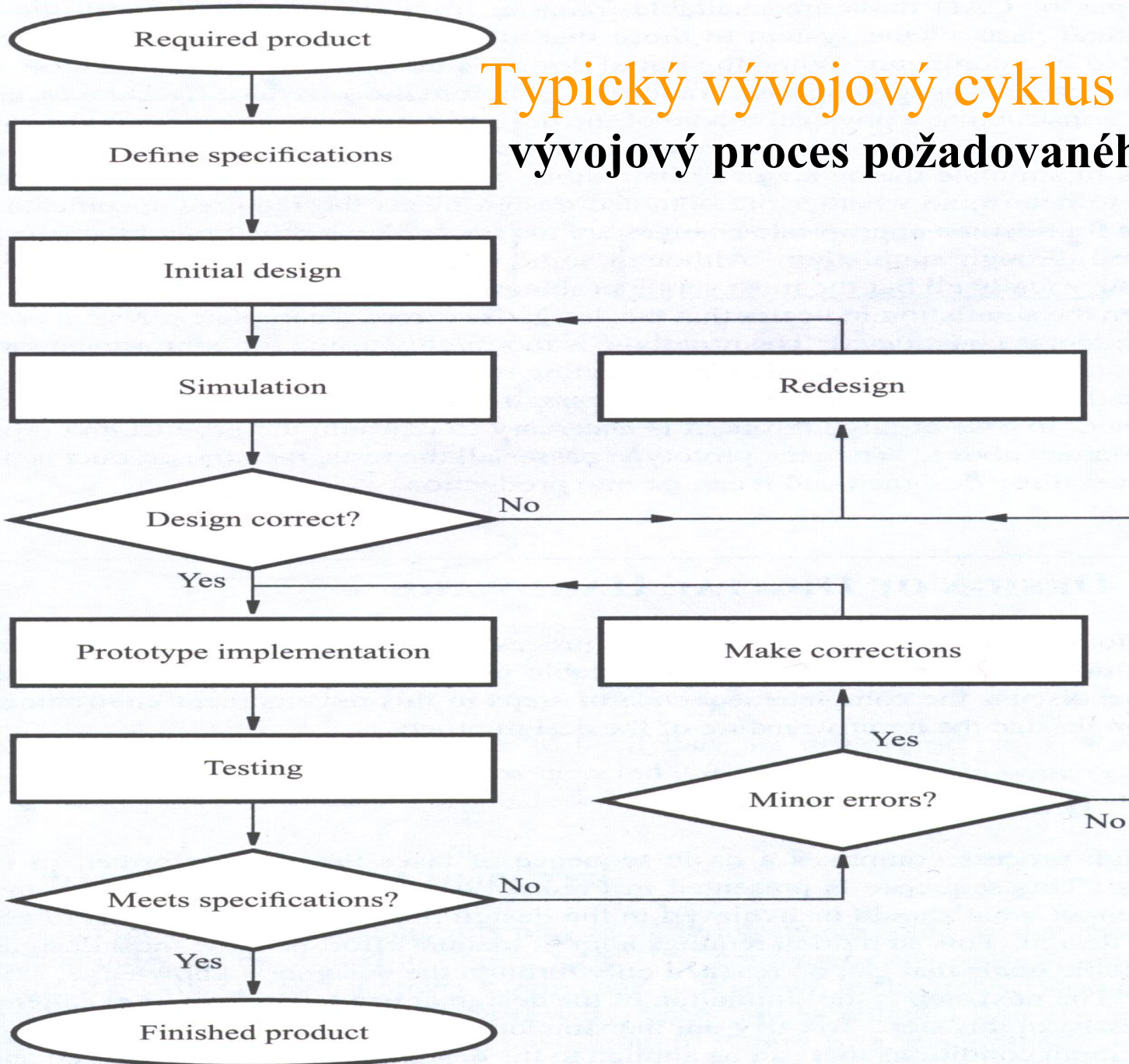


Diagram návrhu ASIC obvodov

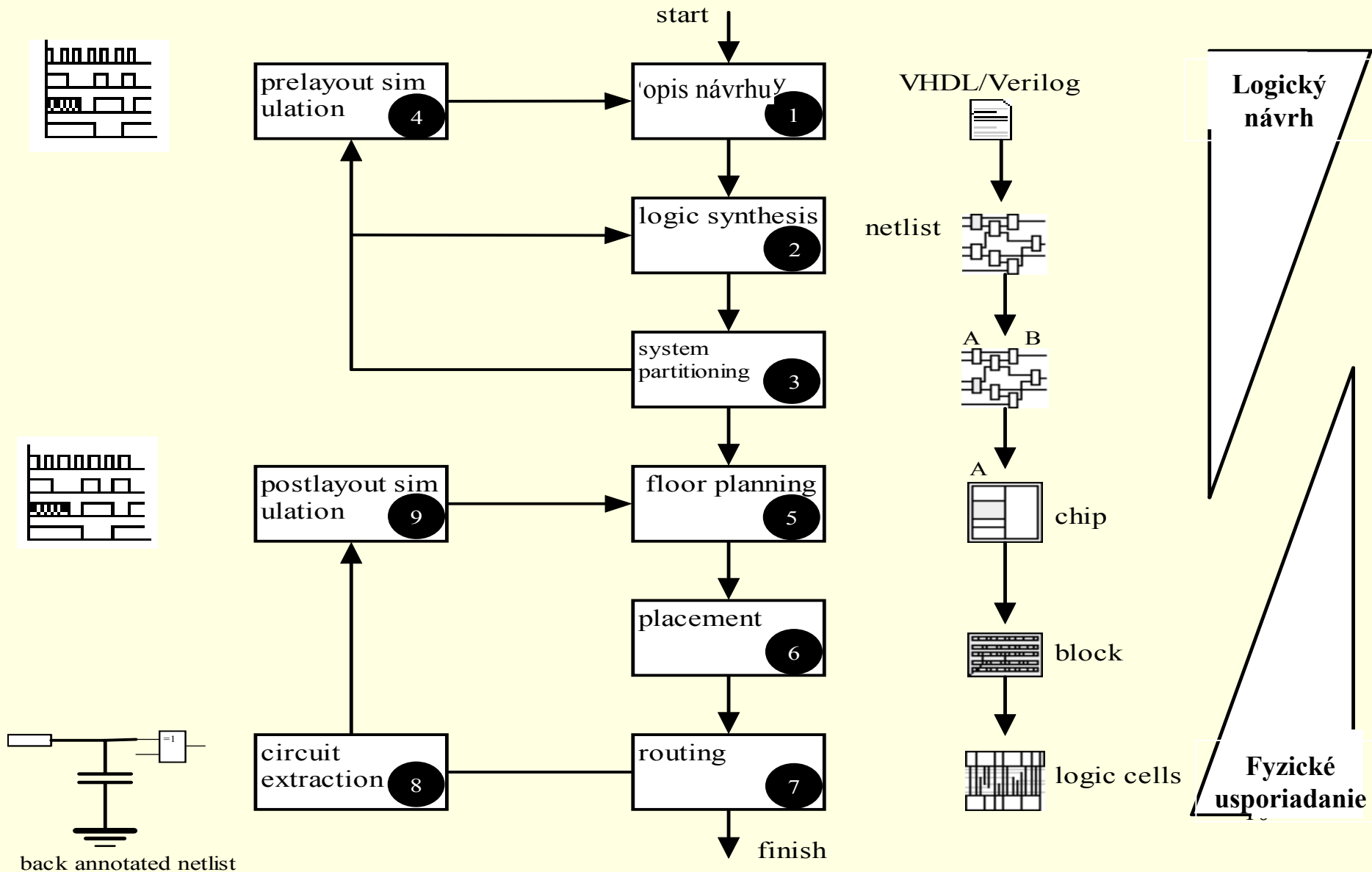
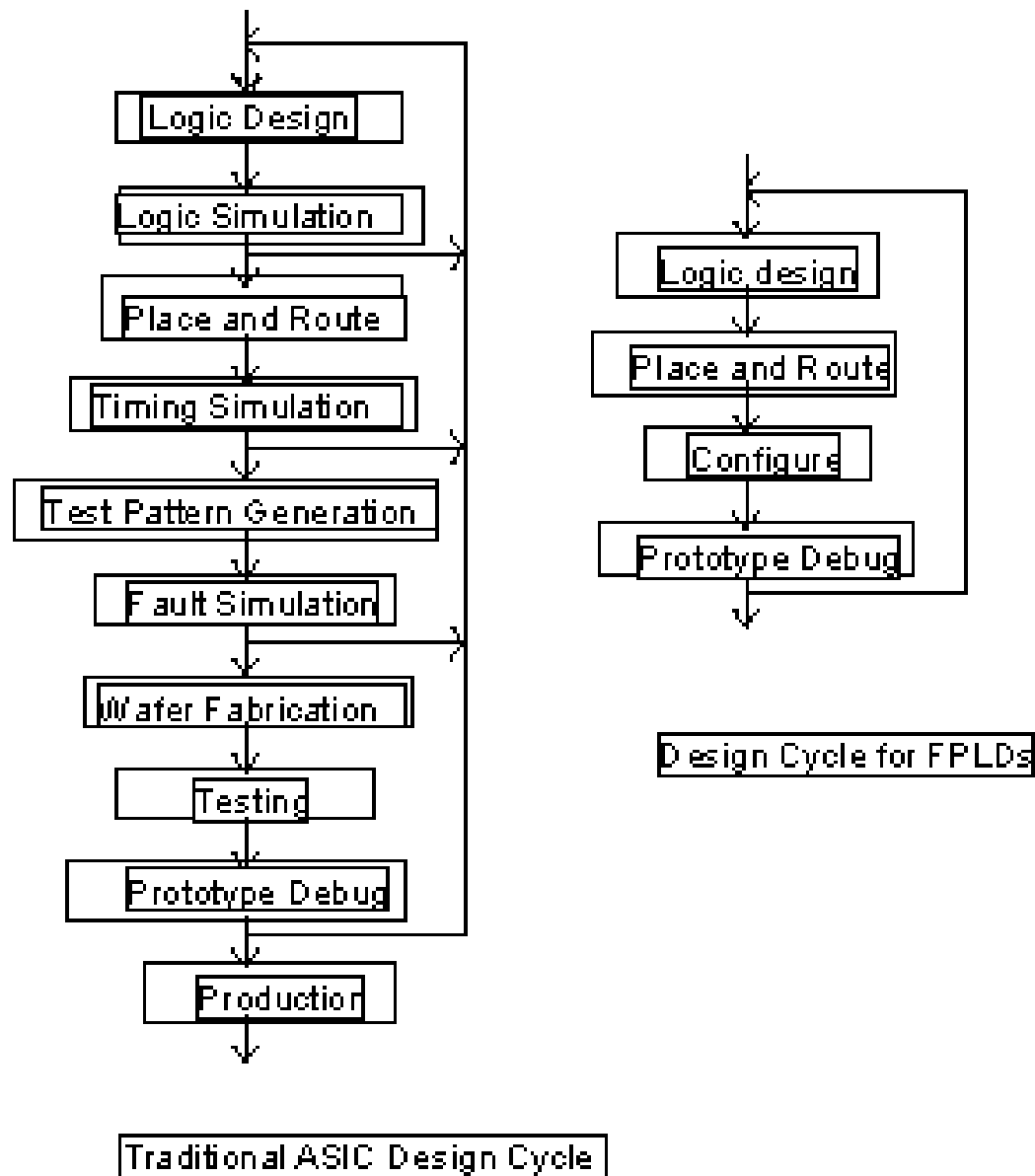


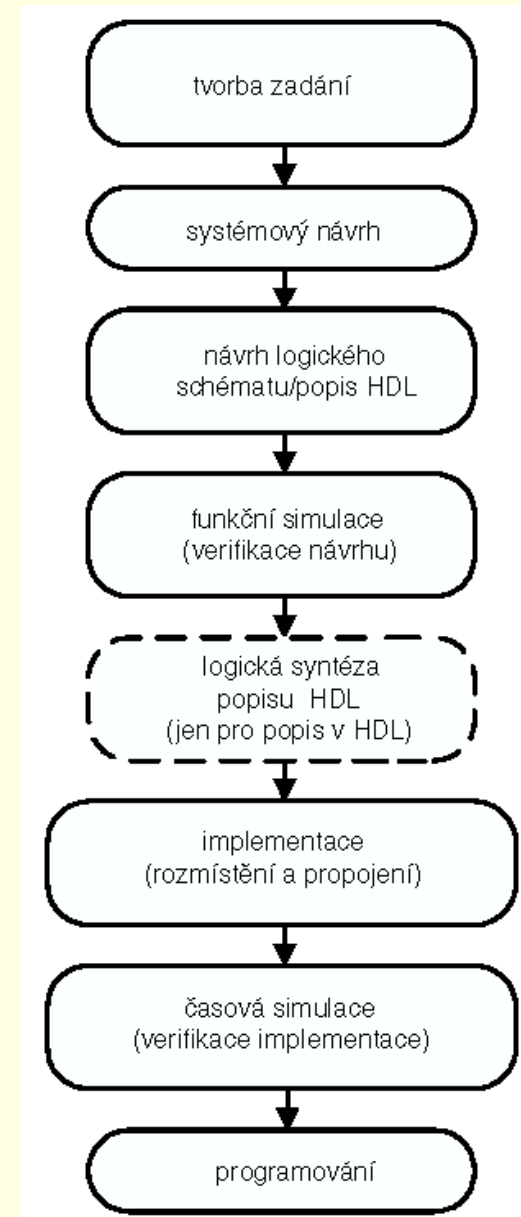
Diagram návrhu ASIC & FPGA obvodov



6.3 Modely pre metódy návrhu systémov

Tradičný postup pri návrhu systémov na báze FPGA (design flow), ktorý je uvedený na obr., sa často nazýva „vodopád“ (waterfall).

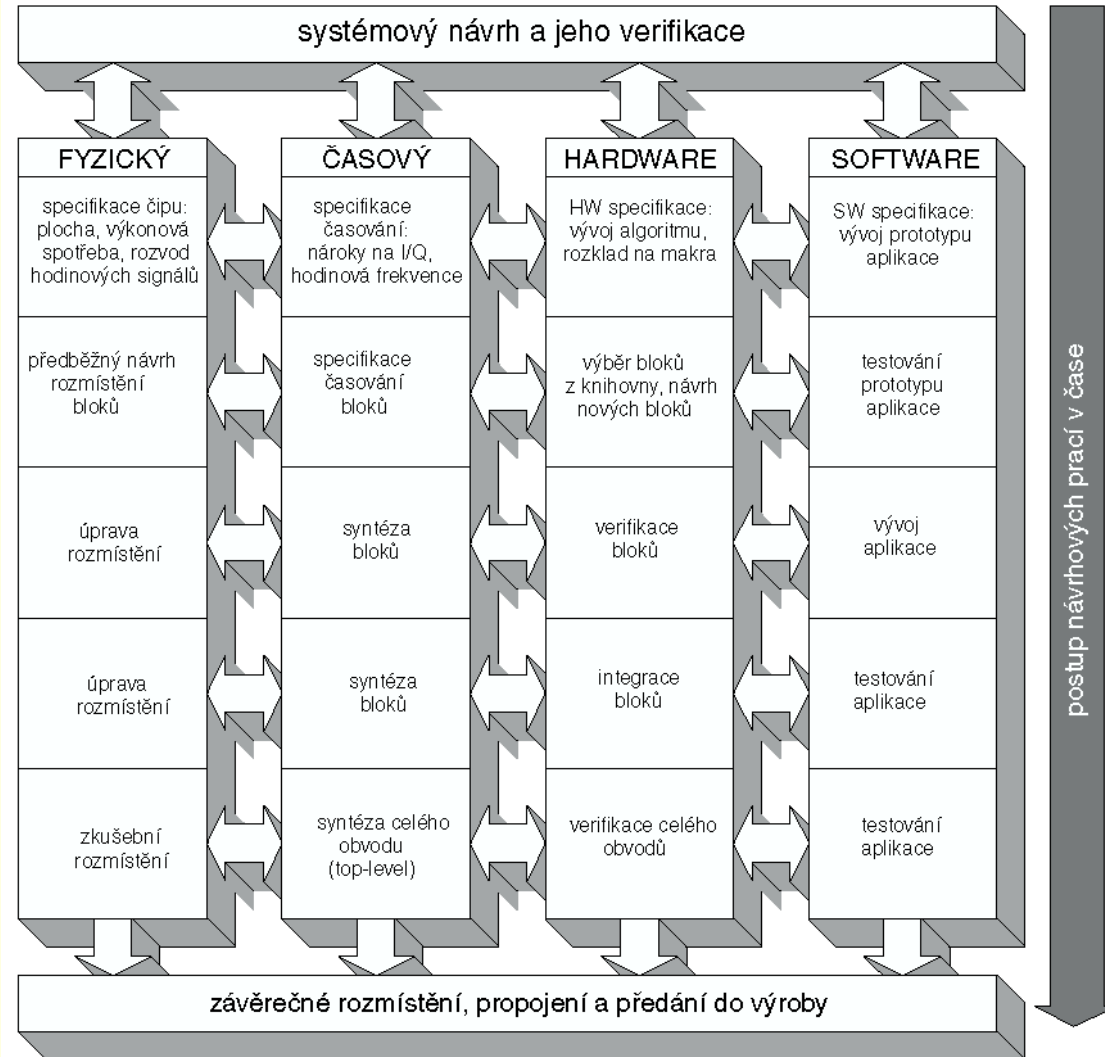
V tomto modeli návrh postupuje po krokoch z jednej fáze do druhej a už sa nevracia späť.



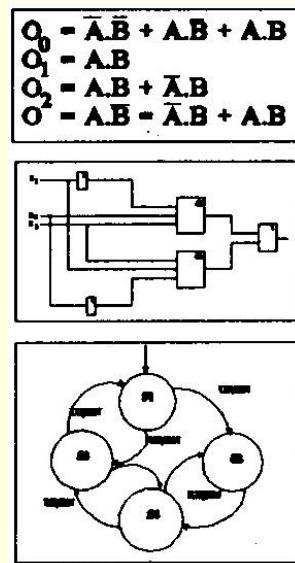
6.3 Modely pre metódy návrhu systémov

Pri návrhoch zložitých systémov (100 K hradiel a viac), keď na projekte pracujú návrhári rozčlenení do skupín, sa jednoznačne javí ako vhodnejší model „špirály“.

Väčšina fáz sa opakuje niekoľkokrát s postupne sa upresňujúcim a zlepšujúcim riešením úvodného zadania. Ide o iteratívny proces. Tento model bol pochopiteľné najprv nasadený v návrhoch ASIC. V súčasnosti však i technológia obvodov FPGA umožňuje realizovať tak zložité návrhy, že je pre ňu tiež nutné použiť model „špirály“.



6.4 Etapy návrhu číslicových systémov s obvodmi FPD



Užívateľ

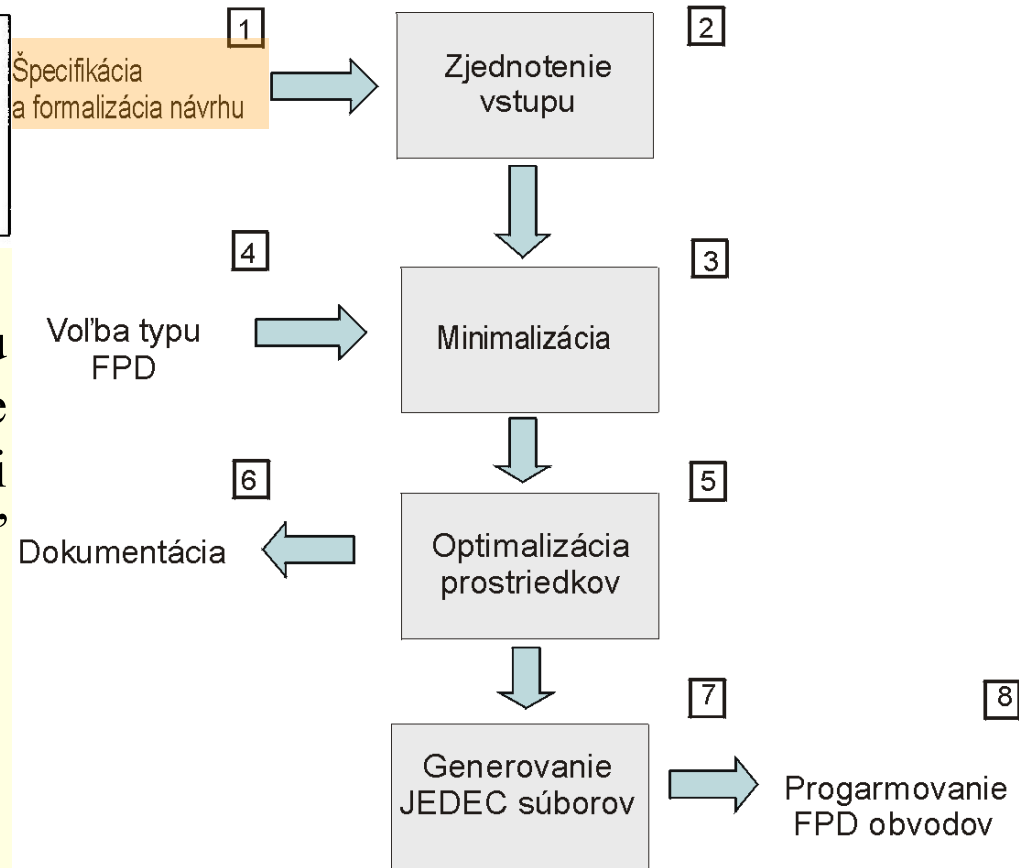


Vývojový systém



Technické prostriedky

(programátor)

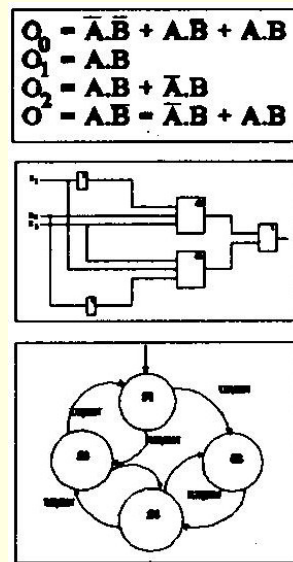


1. Špecifikácia a formalizácia návrhu

Návrhár musí transformovať koncepciu návrhu do formy, ktorá sa môže spracovať návrhovými prostriedkami (CAE). Formálna špecifikácia musí byť zrozumiteľná:

- pre človeka- návrhára,
- pre návrhový systém.

6.4 Etapy návrhu číslicových systémov s obvodmi FPD



Užívateľ



Vývojový systém

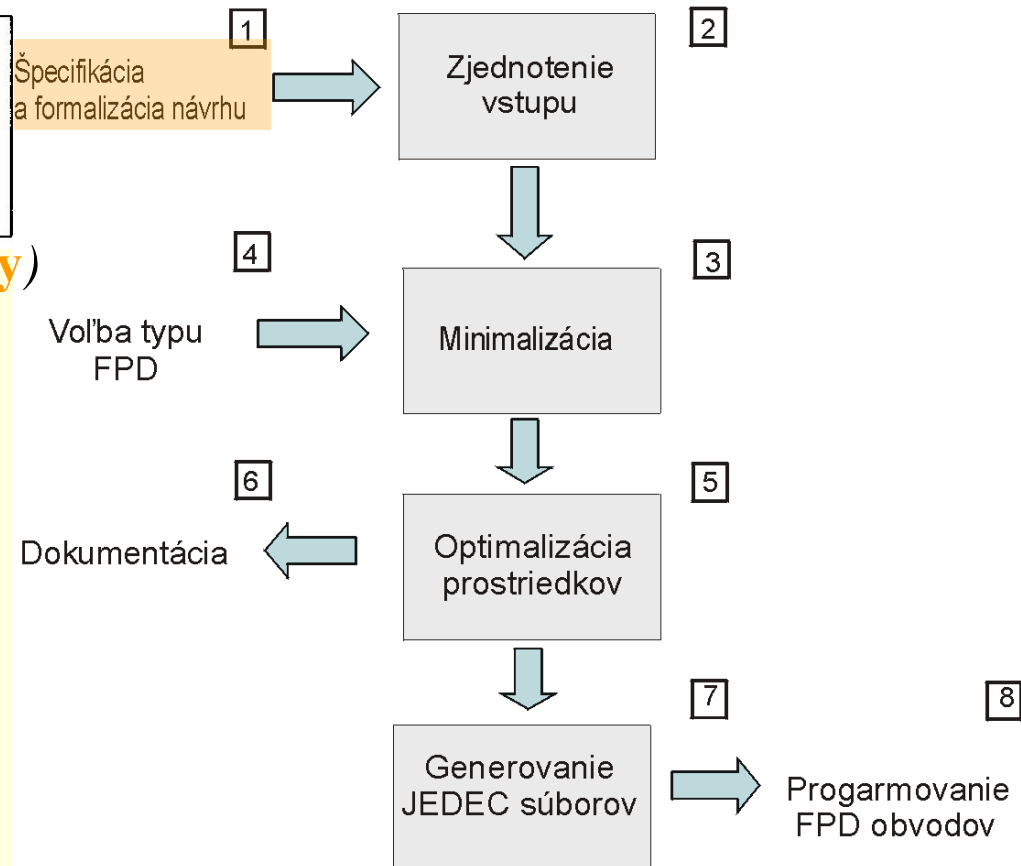


Technické prostriedky

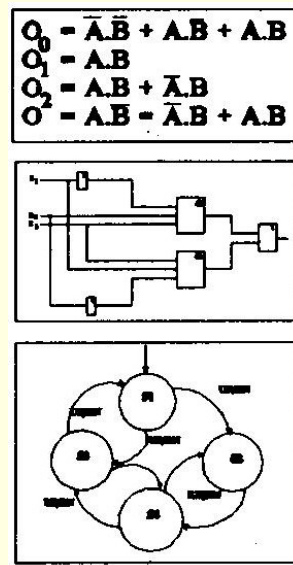
(programátor)

Na formálny opis návrhu (**Design Entry**) je k dispozícii niekoľko možností:

- Booleovské rovnice (**Boolean Equations**),
- Pravdivostná tabuľka (**Truth Table**),
- Priebehy signálov (**Waveform Entry**),
- Schéma zapojenia (**Schematic Capture**),
- Netlist (**NetList Entry**),
- Stavové rovnice (**State Equations**).



6.4 Etapy návrhu číslicových systémov s obvodmi FPD



Užívateľ

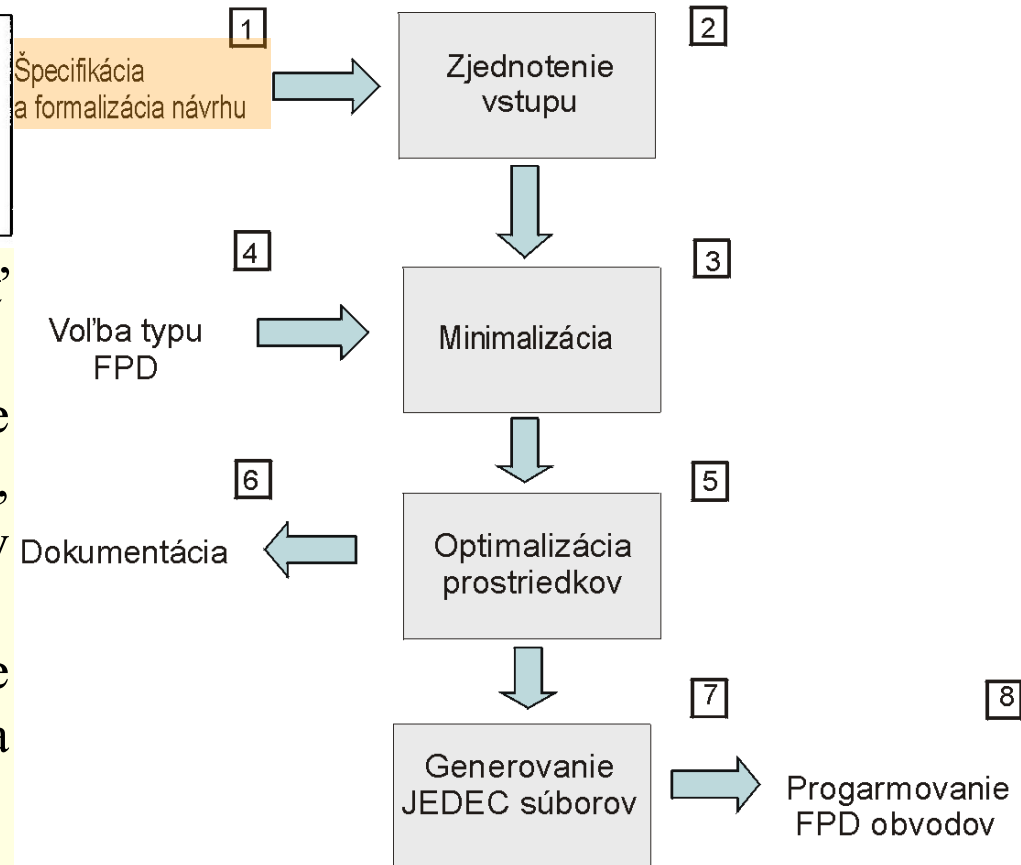


Vývojový systém



Technické prostriedky

(programátor)



Možnosti špecifikácie sa dajú rozdeliť do dvoch skupín:

Prostriedky **funkčnej** špecifikácie návrhu (booleovské rovnice, pravdivostná tabuľka, priebehy signálov, stavové rovnice, netlist).

Prostriedky **štrukturálnej** špecifikácie návrhu (grafické schémy zapojenia cieľového obvodu).

6.4 Etapy návrhu číslicových systémov s obvodmi FPD

Prostriedky **funkčnej špecifikácie** sú typicky znakovito orientované prostriedky. Vlastnosti funkčných prostriedkov špecifikácie sú:

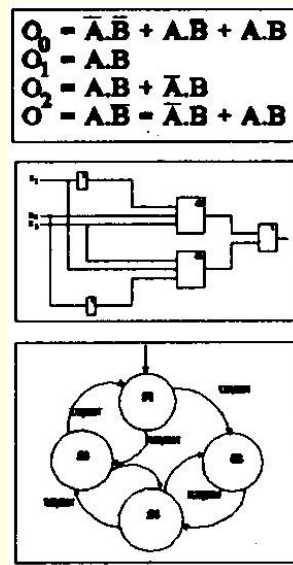
- nezávislosť na implementovanom obvode a jeho technológii, t.j. možnosť špecifikovať návrh bez znalostí technických detailov cieľového obvodu,
- použitie vyššie úrovňového jazyka (VHDL, Verilog HDL ...), ktorý obsahuje aritmetické a relačné operátory, booleovské rovnice, pravdivostné tabuľky a stavové rovnice,
- interaktívnosť pri používaní. HDL jazyky umožňujú syntaktickú kontrolu, jednoduché editovanie návrhu a možnosť simulácie.

6.4 Etapy návrhu číslicových systémov s obvodmi FPD

Prostriedky **štrukturálnej špecifikácie** t.j. možnosť špecifikovať návrh prostredníctvom schémy zapojenia. Návrhár načrtne schému budúceho číslicového systému prostredníctvom vhodného grafického editora. K základným vlastnostiam nástrojov štrukturálnej špecifikácie patrí:

- podpora tvorby návrhov pomocou knižnice symbolov, ktorá obsahuje grafické symboly logických obvodov ako sú hradla AND, OR, NAND, KO- D, T, JK, RS a iné,
- možnosť rozdeliť návrh do menších celkov, ktoré sú ľahko realizovateľné jedným čipom obvodu FPD,
- hierarchický návrh, ktorý umožňuje rozdeliť návrh do niekoľkých logických úrovní,

6.4 Etapy návrhu číslicových systémov s obvodmi FPD



Užívateľ

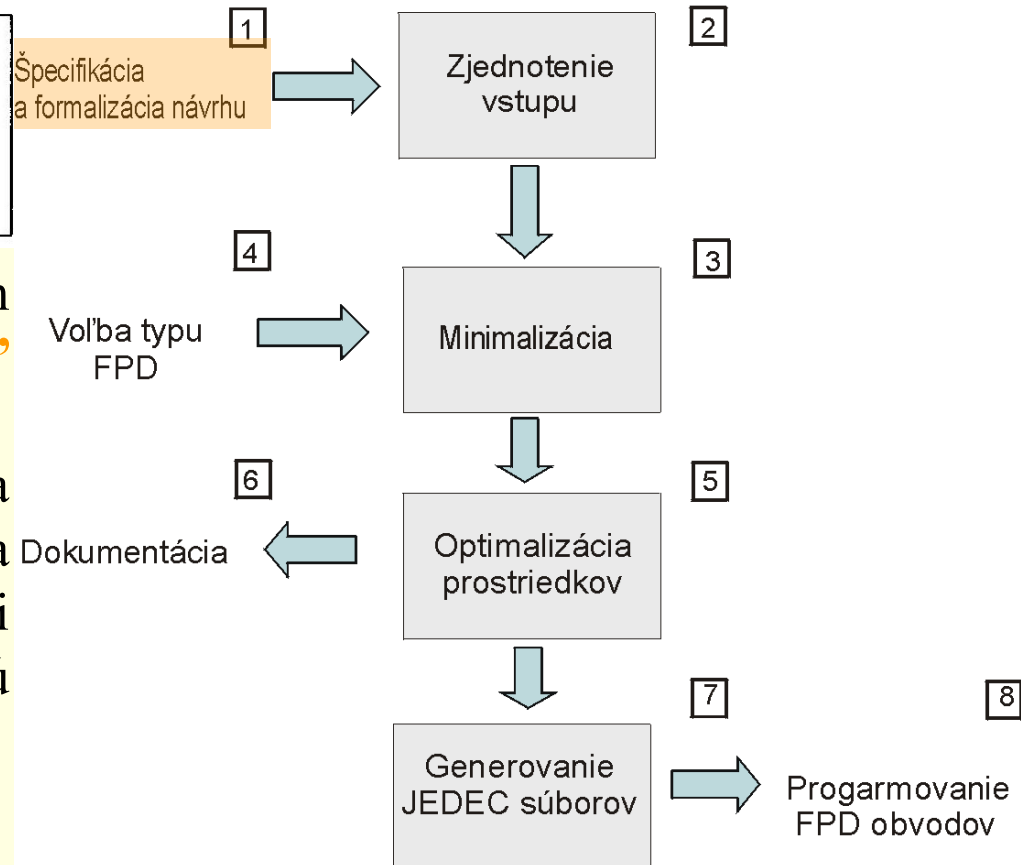


Vývojový systém



Technické prostriedky

(programátor)



Významnou vlastnosťou moderných prostriedkov špecifikácie je **schopnosť funkčnej** simulácie.

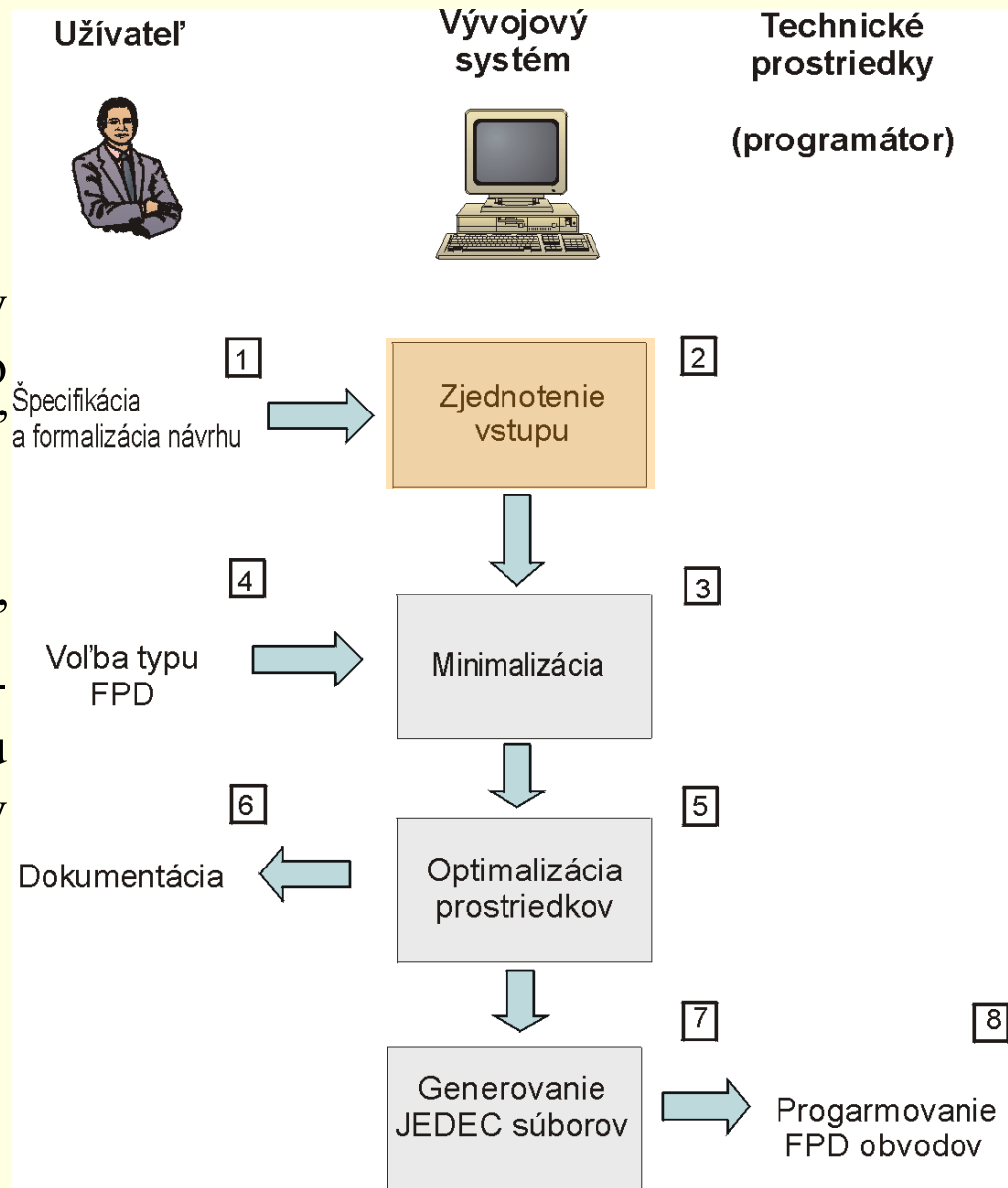
Pri funkčnej simulácii dochádza k simulácii logického správania sa systému, bez ohľadu na typ a vlastnosti obvodu určeného pre cieľovú implementáciu.

6.4 Etapy návrhu číslicových systémov s obvodmi FPD

2. Zjednotenie vstupov

Rôzne formalizované opisy navrhovaného systému alebo jeho jednotlivých častí je potrebné zjednotiť na spoločnú platformu.

Úlohou tejto etapy je teda zjednotiť rôzne vstupné špecifikácie do jedinej - základnej vstupnej špecifikácie. Tú potom akceptujú ďalšie etapy spracovania a realizácie návrhu.

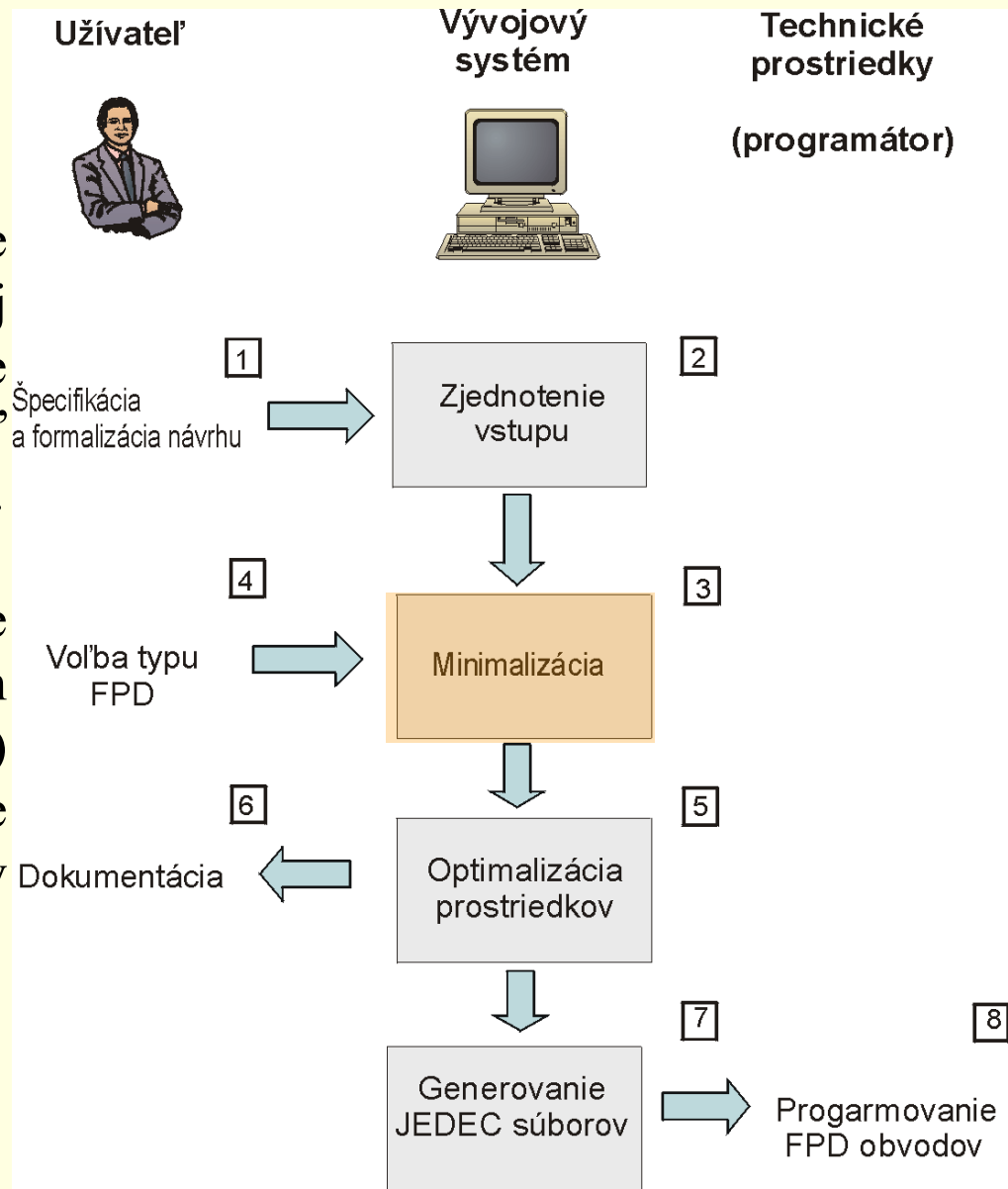


6.4 Etapy návrhu číslicových systémov s obvodmi FPD

3. Minimalizácia

Cieľom procesu minimalizácie je hľadať najjednoduchší zápis logickej funkcie. Pritom sa očakáva, že najjednoduchší zápis bude zodpovedať aj najjednoduchšej technickej realizácii.

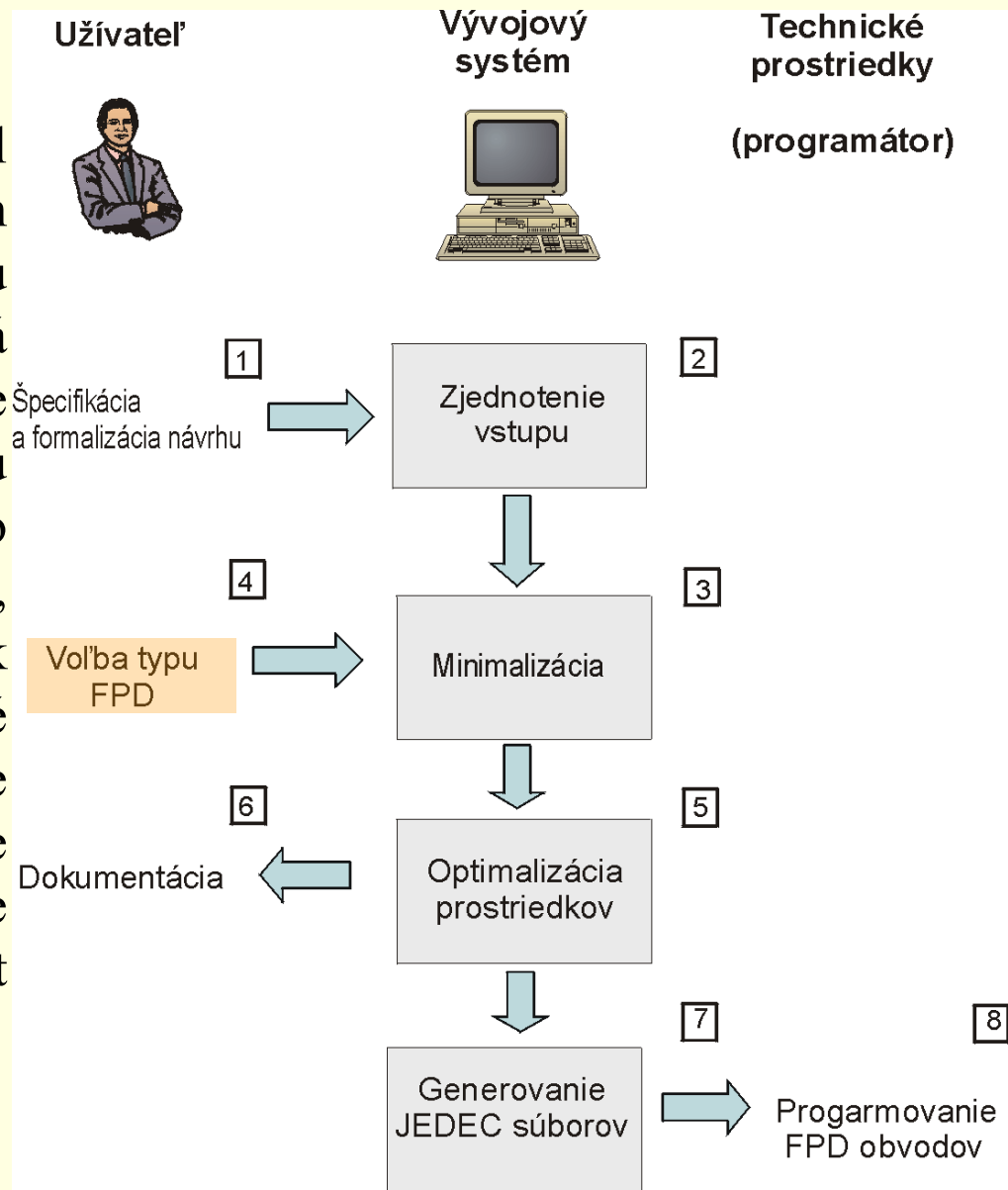
(napr. proces minimalizácie transformuje množinu logických funkcií (booleovských rovníc) v súčtovom tvare do menšej, ale plne funkčnej ekvivalentnej množiny logických funkcií).



6.4 Etapy návrhu číslicových systémov s obvodmi FPD

4. Voľba typu obvodu FPD

V predchádzajúcich etapách prebiehal návrh nezávisle od toho, akým typom konfigurovateľného logického obvodu bude návrh implementovaný. Každá architektúra obvodov FPD má svoje špecifiká, ktoré ovplyvňujú transformáciu realizovaného návrhu do “programovacieho“ (JEDEC) súboru, ktorý slúži ako univerzálny prostriedok na opis ako realizovať vlastné naprogramovanie obvodu. V tejto etape teda vyberáme typ obvodu FPD a ak je to možné, tak pristupujeme aj k voľbe ďalších vlastností (napr. počet použitých vývodov).

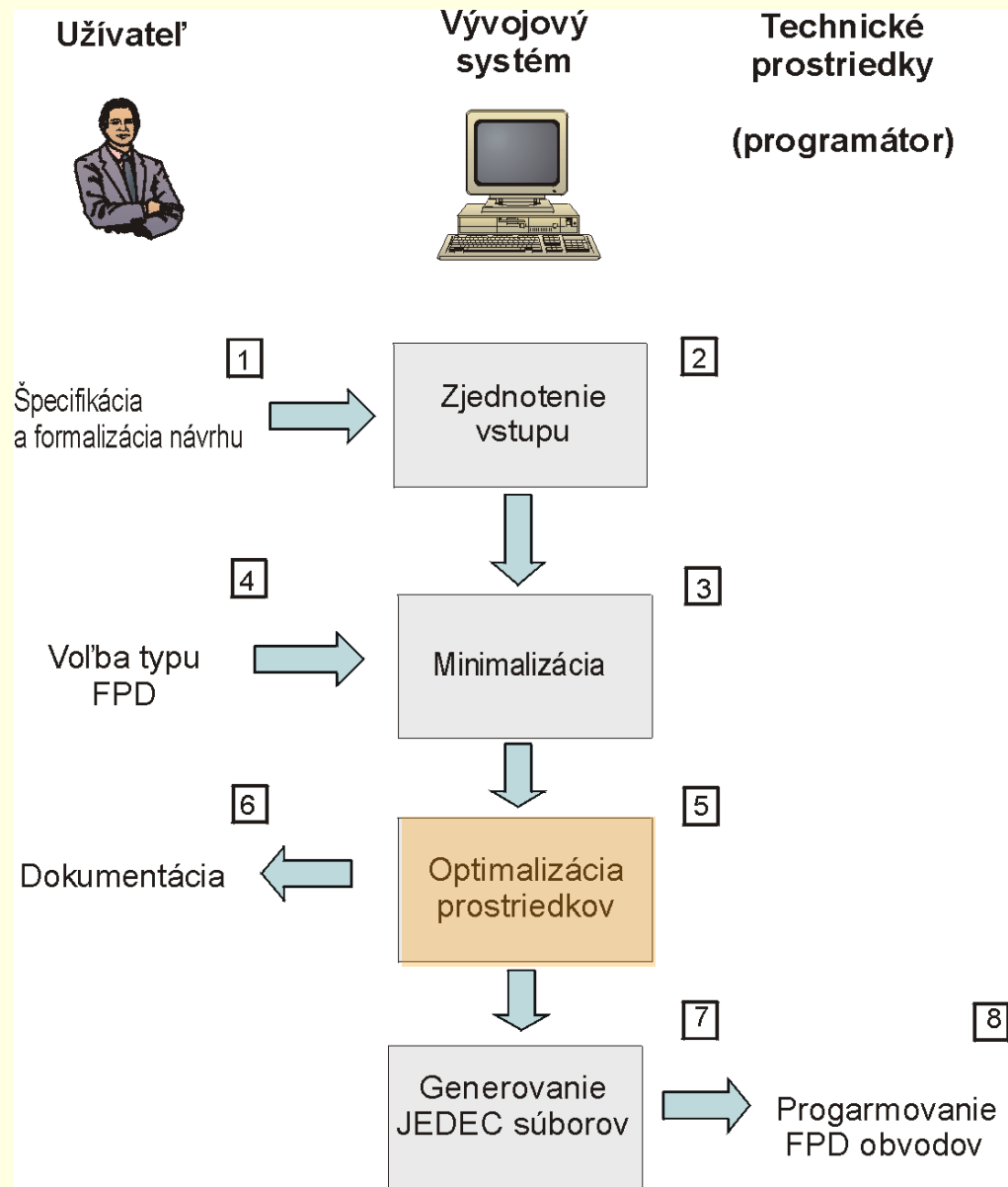


6.4 Etapy návrhu číslicových systémov s obvodmi FPD

5. Optimalizácia použitých prostriedkov

Úlohou tejto etapy je prispôbiť návrh tak, aby boli čo najefektívnejšie využité vlastnosti zvolenej architektúry obvodu FPD.

Kritérium efektivity je minimalizácia spotreby zdrojov (I/O vývody, registre, počet a typ makrobuniek,...), ktoré obvod poskytuje.

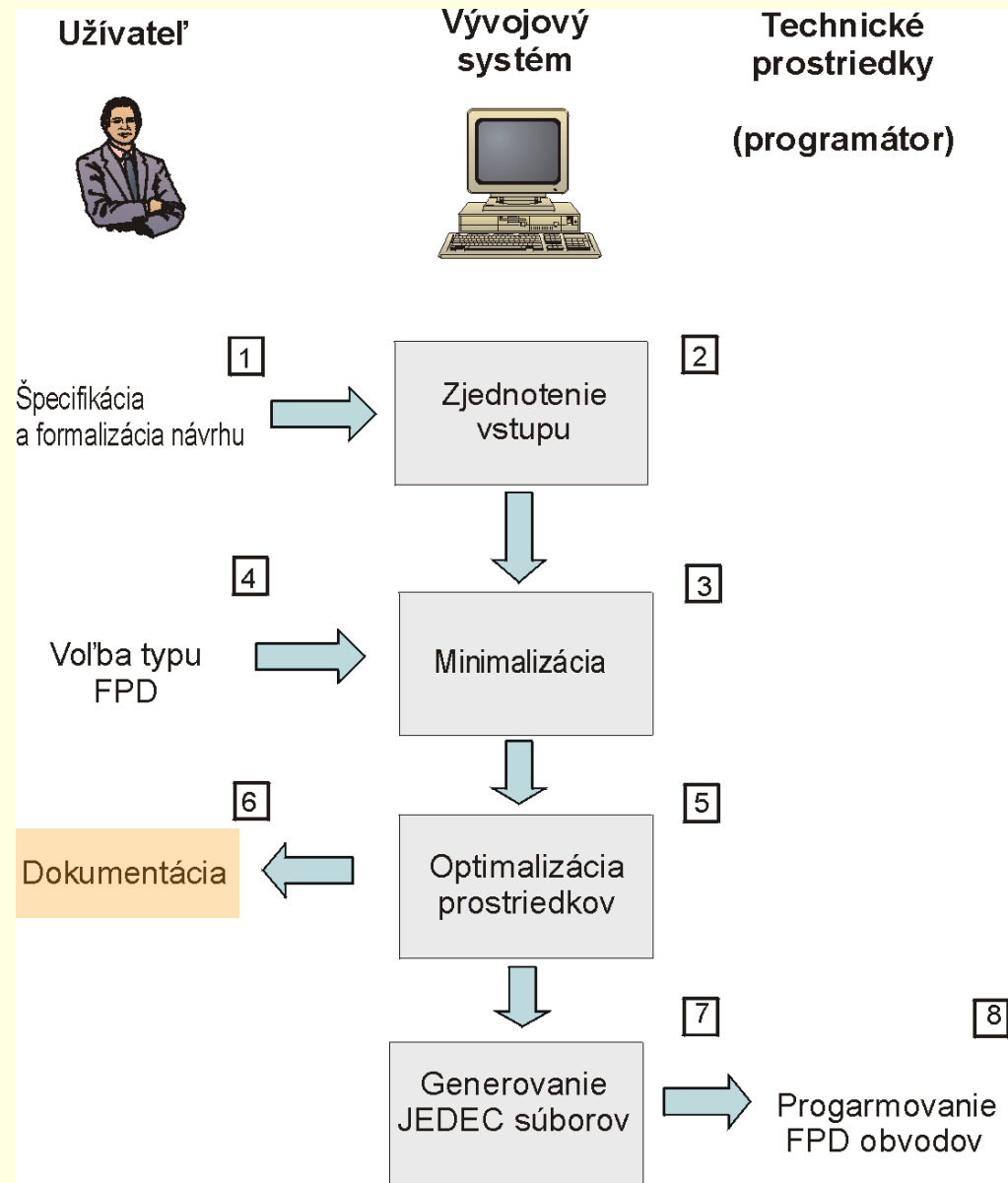


6.4 Etapy návrhu číslicových systémov s obvodmi FPD

6. Dokumentácia

V tejto etape je generovaná podrobná dokumentácia návrhu.

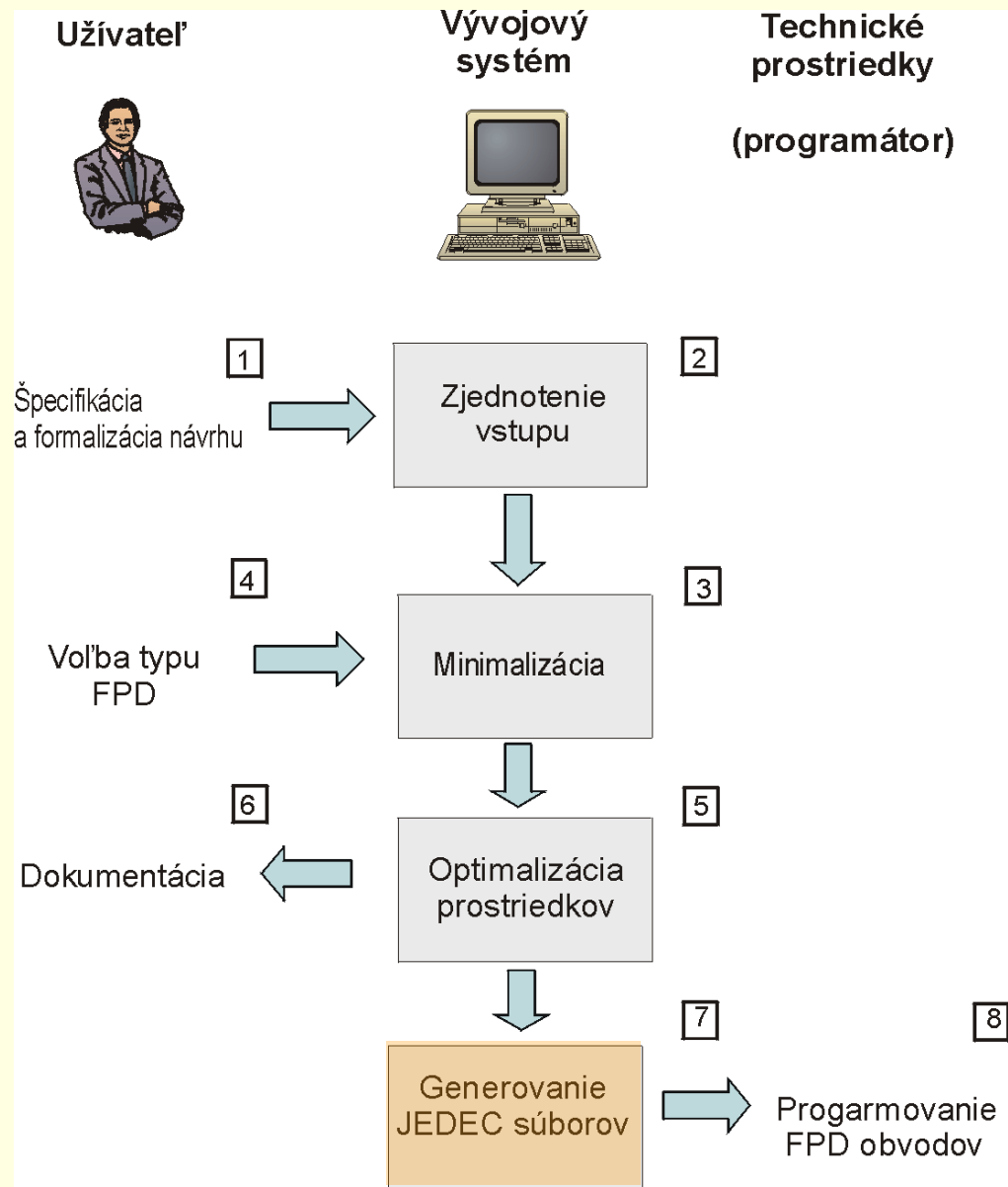
Užívateľ má možnosť analyzovať doterajší priebeh návrhu a prípadne ho prerušiť, vykonať zmeny pomocou prostriedkov prvej etapy a začať znovu.



6.4 Etapy návrhu číslicových systémov s obvodmi FPD

7. Generovanie „programovacieho“ súboru návrhovým systémom

Generovanie súboru ktorý umožňuje naprogramovanie obvodu FPD špecializovaným programátorom príslušného výrobcu.

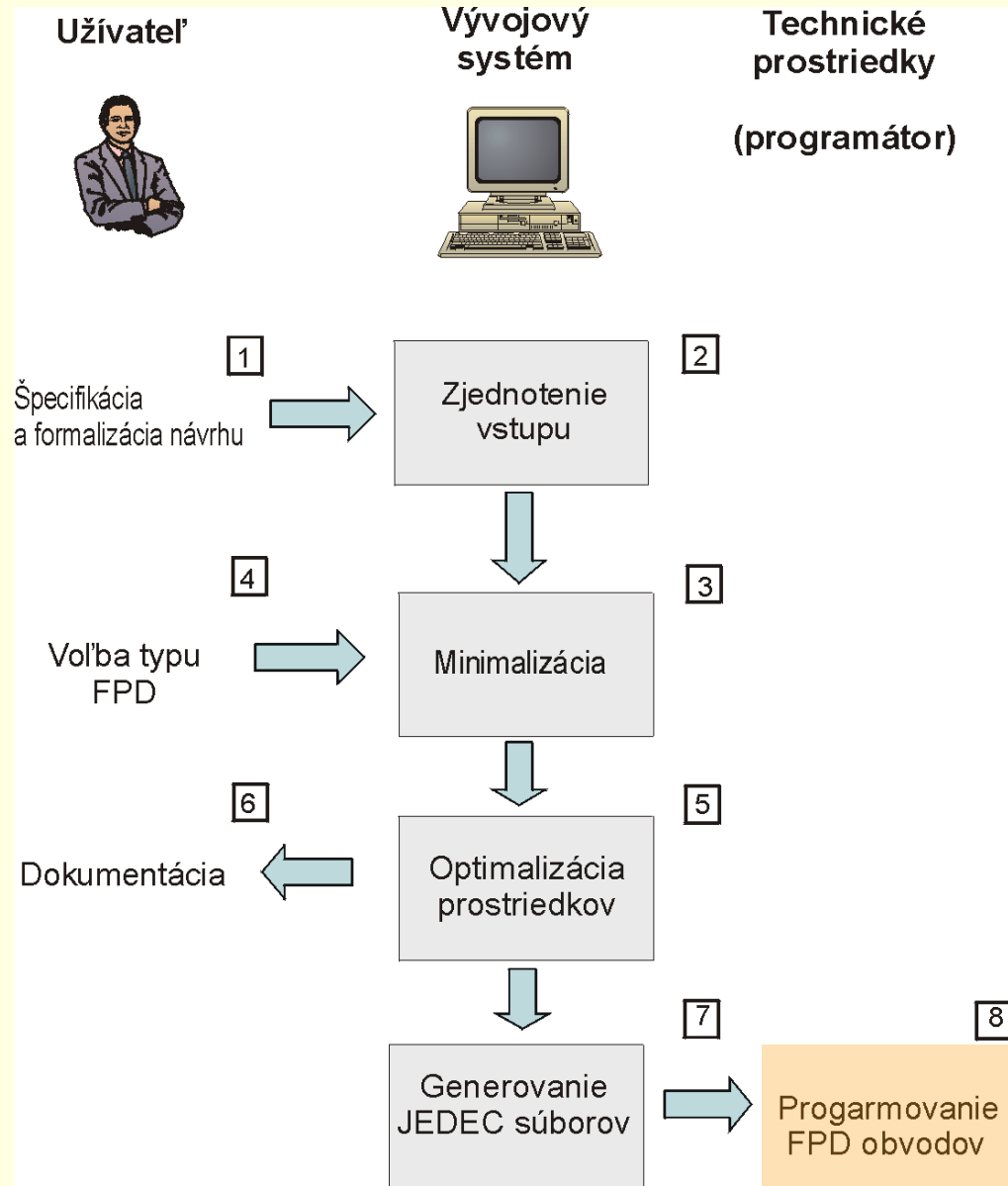


6.4 Etapy návrhu číslicových systémov s obvodmi FPD

8. Programovanie

Bez ohľadu na typ a technológiu akým je obvod FPD vytvorený informácie z JEDEC súboru sa musia nejakým spôsobom preniesť (naprogramovať/ nakonfigurovať) do obvodu.

Tento proces sa vykonáva pomocou vhodného programátora. Proces programovania je riadený programovými prostriedkami.



6.4 Etapy návrhu číslicových systémov s obvodmi FPD

9. Testovanie

Naprogramovanie obvodu FPD je iba čiastkovým úspechom. Úplným úspechom je overenie funkčnej spoľahlivosti.

Cieľom tejto etapy je komplexne preveriť naprogramovaný obvod v podmienkach čo najbližších k cieľovému systému.

Existujú tri základné kategórie testu naprogramovaných obvodov:

- verifikácia programovateľných obvodov
- testovacie vektory (test bench)
- pseudonáhodné testovanie